

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252771

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H03F 3/45
H03F 1/02
H03F 3/345

(21)Application number : 11-053391

(71)Applicant : TOKIN CORP

(22)Date of filing : 01.03.1999

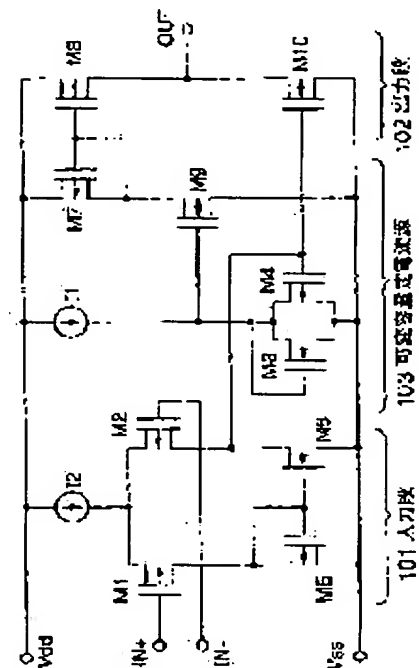
(72)Inventor : ABE YOSHIYUKI

(54) OPERATIONAL AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an operational amplifier that employs a simple configuration, requires no special manufacture process and has an excellent characteristic from the standpoint of a load drive capability.

SOLUTION: The operational amplifier is provided with a differential circuit (input stage) 101 that receives a data signal, an output circuit (output stage) 102 that drives a load, and a constant current adjustment circuit (variable capacitance constant current source) 103 consisting of multi-stage current mirror circuits. The constant current adjustment circuit 103 adjusts a value of a constant current supplied to the load via the output circuit 102 in a way that the constant current is smaller when a load impedance is high and higher when the load impedance is small.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-252771
(P2000-252771A)

(43) 公開日 平成12年9月14日(2000.9.14)

(51) Int.Cl.	識別記号	F I	ページ(参考)
H 0 3 F	3/45	H 0 3 F	A 5 J 0 6 6
	1/02		5 J 0 9 1
	3/345		B 5 J 0 9 2

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平11-53391

(22) 出願日 平成11年3月1日(1999.3.1)

(71) 出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 阿部 善幸

仙台市太白区郡山6丁目7番1号 株式会
社トーキン内

(74) 代理人 100098279

弁理士 栗原 聖

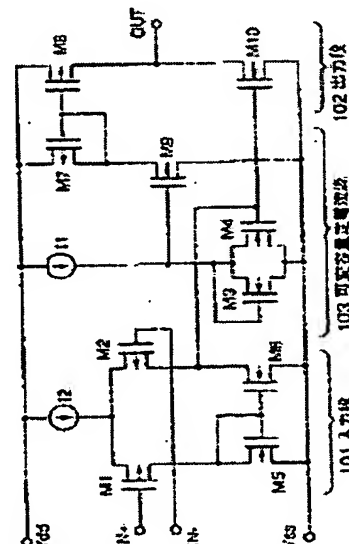
最終頁に続く

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【課題】 簡単な構成でしかも特別な製造プロセスを必要とせず、且つ負荷駆動能力の点でも良好な特性が得られる演算増幅器を提供すること。

【解決手段】 データ信号を受信する差動回路(入力段)101と、負荷を駆動する出力回路(出力段)102と、多段型のカレントミラー回路により構成される定電流調整回路(可変容量定電流源)103とを備え、定電流調整回路103により、出力回路102を介して当該負荷に供給する定電流の値を、負荷のインピーダンスが大きき時は小さくし、負荷のインピーダンスが小さい時は大きくするように調整する。



【特許請求の範囲】

【請求項 1】 複数のNチャネル及びPチャネルMOS FETを含み、これらNチャネル及びPチャネルMOS FETの組み合わせにより、データ信号を受信する差動回路と負荷を駆動する出力回路とがそれぞれ構成されている演算増幅器において、前記差動回路の後段に、前記Nチャネル及びPチャネルMOS FETの組み合わせにより構成される定電流調整回路を備え、該定電流調整回路により、前記負荷のインピーダンスに応じて前記出力回路を介して当該負荷に供給する定電流の値を調整することを特徴とするCMOS型演算増幅器。

【請求項 2】 請求項 1記載のCMOS型演算増幅器において、前記定電流調整回路は、多段型のカレントミラー回路により構成されることを特徴とするCMOS型演算増幅器。

【請求項 3】 請求項 1記載のCMOS型演算増幅器において、更に、少なくともひとつのコンデンサにより構成される位相補償回路を有することを特徴とするCMOS型演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各種センサーのアナログ信号の増幅、携帯型機器のアナログ信号処理、及びリモートコントローラの信号制御等に用いられる演算増幅器に関する。

【0002】

【従来の技術】 かかる演算増幅器には、従来より、高帯域型、低ノイズ型、低消費電流型等、様々なタイプのものである。これら演算増幅器の内部には、データ信号を受信する差動回路や、負荷を駆動する出力回路が形成されており、これらを構成する基本素子としてのトランジスタをNチャネル又はPチャネルMOS (Metal Oxide Semiconductor) FET (Field Effect Transistor) から構成し、これらNチャネルのMOSFETとPチャネルのMOSFETを互いに絶縁できるようにして同一チップ上に製作し、お互いが動作を補い合うように接続したCMOS (Complementary MOS) 型の演算増幅器や、基本素子としてのトランジスタにバイポーラ型トランジスタを用いた演算増幅器がある。

【0003】 このような従来の演算増幅器では、電力消費が激しく、数日～数週間で該演算増幅器に直流電力を供給するバッテリーが無くなってしまふ。

【0004】 そこで、近年、低消費電流型の演算増幅器が種々提案されているが、このようなものでも、数十 μ Aから数百 μ Aの電流を消費してしまうため、バッテリーの寿命は1年未満である。

【0005】 上述した各種センサーのアナログ信号の増幅等の用途では、例えば、屋外に設置されるガスメータ等に使用されるセンサーやトイレ等に設置されている入

体センサー等に用いる演算増幅器は、1個のバッテリーで10年程度は持たせたいという要求がでてきている。

【0006】 一方、携帯型機器のアナログ信号処理等の用途では、ポータブル機器の普及に伴って、小型・軽量の電池で長期間確実に動作する回路技術が重要になってきた。従って、最近の携帯用通信機等の急激な小型化に対して、更なる低消費電流化を図る必要があり、微小電流で動作可能な演算増幅器が求められている。しかし、上述した低消費電流型の演算増幅器でも、消費電流が1 μ A未満で済むようなものは、バイポーラ型演算増幅器にもCMOS型演算増幅器にも現れていない。

【0007】 また、リモートコントローラの信号制御等の用途でも、省エネルギーの観点から回路の動作電流の低減は年々重要になってきている。

【0008】

【発明が解決しようとする課題】 上述した観点から、数 μ Aの微小電流で動作する超低消費電流型演算増幅器の必要性が生じてきた。この点、消費電流が比較的少ないCMOS型の演算増幅器を、更に低消費電流化するののひとつの方法である。

【0009】 しかしながら、これまでのCMOS型演算増幅器の回路構成では、消費電流を減らそうとして回路内のバイアス電流を減らすと回路自体が発振してしまう虞れがあった。また、設定した定電流以上の電流を負荷に流すことができないことから、インピーダンスの小さい負荷を駆動できないことが問題となっていた。

【0010】 図11に、従来の演算増幅器の出力回路の構成を簡略化して示す。同図に示すように、従来の演算増幅器では、信号源V1からの信号がMOSトランジスタM1のゲートに入力され、この信号入力を受けてMOSトランジスタM1が動作 (ON) し、定電流源I1からの電流が負荷に供給される。図11から明らかなように、定電流源I1の電流値以上の電流を負荷に供給することはできないため、負荷のインピーダンスが低下した場合、負荷を駆動することはできなくなる。

【0011】 一方、通常の演算増幅器では、負荷の大小に関わらず常に一定のバイアス電流を流しているため、出力回路の定電流源の電流値は常に消費されてしまい、必要以上に消費電流が大きくなる傾向がある。定電流源から供給された電流は、負荷がある場合は負荷に多く流れ込むが、負荷が無い場合は出力回路のトランジスタを通し、Gnd (グラウンド) に流れてしまふ。消費電流を小さくする場合は、出力回路の定電流源の電流値を小さくするため、負荷をほとんど駆動できない。そこで、負荷駆動能力を上げようとする、出力回路の定電流源の電流値を大きくせざるを得ないため、消費電流も大きくなってしまふ。

【0012】 本発明は、従来の演算増幅器が有するこのような問題点を解決するためになされたものであり、従来の演算増幅器の回路構成や回路定数の延長線上にあり

ながら、簡単な構成でしかも特別な製造プロセスを必要とせず、且つ負荷駆動能力の点でも良好な特性が得られる演算増幅器を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明者は、従来技術の有する前述した問題点を解決するために、可変容量型の定電流源を有する演算増幅器の回路を考案したものである。

【0014】即ち、請求項1記載の発明では、複数のNチャネル及びPチャネルMOSFETを含み、これらNチャネル及びPチャネルMOSFETの組み合わせにより、データ信号を受信する差動回路と負荷を駆動する出力回路とがそれぞれ構成されている演算増幅器において、前記差動回路の後段に、前記Nチャネル及びPチャネルMOSFETの組み合わせにより構成される定電流調整回路を備え、該定電流調整回路により、前記負荷のインピーダンスに応じて前記出力回路を介して当該負荷に供給する定電流の値を調整することを特徴とする。

【0015】また、請求項2記載の発明では、前記定電流調整回路は、多段型のカレントミラー回路により構成されることを特徴とする。

【0016】尚、請求項3記載のCMOS型演算増幅器のように、更に、少なくともひとつのコンデンサにより構成される位相補償回路を有していても良い。

【0017】

【発明の実施形態】以下、図面を参照して、本発明の実施形態としての演算増幅器及びその応用回路について詳細に説明する。

【0018】まず、本発明の理解を容易にするために、本発明の演算増幅器の前提となる基本的考え方について、図1を参照して説明する。

【0019】図1は、本発明の演算増幅器の出力回路の構成を簡略化して示すものである。同図において、図1に示した従来の演算増幅器の出力回路と同様の部分は、同様の参照符号で示し、その説明は省略する。

【0020】図1に示すように、本発明の演算増幅器の出力回路では、図1に示した定電流源11に代えて可変容量型の定電流源11'を有している。この演算増幅器の出力回路では、負荷のインピーダンスの変化を感じて、その値に応じた電流を負荷に供給することができることを特徴としている。

【0021】即ち、この演算増幅器の出力回路では、負荷のインピーダンスが大きい時は、当該負荷に供給する電流値は少なくても良いため、可変容量型定電流源11'の電流値を小さくする。一方、負荷のインピーダンスが小さい時は当該負荷に供給する電流値は大きくしなければならぬため、可変容量型定電流源11'の電流値を大きくする。このように、演算増幅器の出力回路において、負荷のインピーダンスの状態を感じ、状態に応じて定電流源11'の電流値を可変する、即ち可変容量型

の定電流源11'を構築できれば、上述した課題は解決可能となる。

【0022】図1に示した可変容量型の定電流源11'を有する演算増幅器は、図2のような回路構成により実現することが可能である。

【0023】以下、図2及び図3を参照して、本発明の第1の実施形態としての演算増幅器について説明する。

【0024】本実施形態は、Nチャネル又はPチャネルMOSFETを基本素子として、これらNチャネルのMOSFETとPチャネルのMOSFETを互いに接続できるようにして同一チップ上に製作し、お互いが動作を補い合うように接続してCMOS型の演算増幅器の回路を構成したものである。図2は、本実施形態の演算増幅器の内部回路の主要部を抜粋して示す図である。

【0025】図2において、V_{DD}は演算増幅器の正極電源端子、V_{SS}は同じく演算増幅器の負極電源端子である。11と12は、それぞれ定電流源であり、トランジスタにより構成される。

【0026】同図において、演算増幅器の入力段を構成する差動（増幅）回路101は、定電流源12と、P型MOSトランジスタM1、M2と、N型MOSトランジスタM5、M6とにより構成される。定電流源12は、この差動増幅回路に定電流を供給するものである。P型MOSトランジスタM1とM2は、差動対トランジスタであり、N型MOSトランジスタM5とM6は、それぞれ差動対P型MOSトランジスタM1とM2のドレイン負荷である。

【0027】演算増幅器の出力段を構成する出力回路102は、P型MOSトランジスタM8とN型MOSトランジスタM10により構成される。N型MOSトランジスタM10は出力ドライバ、P型MOSトランジスタM8はN型MOSトランジスタM10の能動負荷である。演算増幅器の非反転入力端子1N+は、P型MOSトランジスタM1のゲートに接続されている。同じく演算増幅器の反転入力端子1N-は、P型MOSトランジスタM2のゲートに接続されている。尚、図示はしないが、この反転入力端子1N-には、演算増幅器の出力端子OUTから出力される信号が帰還入力されている。一方、P型MOSトランジスタM7とM8はカレントミラー回路、N型MOSトランジスタM3とM9はカレントミラー回路、をそれぞれ形成している。本実施形態では、N型MOSトランジスタM3、M4、M9、P型MOSトランジスタM7、M8、定電流源11が可変容量型の定電流源（定電流調整回路）103を構成している。

【0028】以上のように、本実施形態の演算増幅器では、負荷となるもののインピーダンスに応じて出力電流を可変するために、トランジスタに所定の定電流を供給する定電流源（定電流調整回路）を多段型のカレントミ

ラ回路とした。これにより、負荷が無い場合又は負荷が小さい場合は、この主として多段型のカレントミラー回路から成る可変容量型定電流源（定電流調整回路）から比較的小さい電流を供給することにより、消費電流の増大を防ぐことができる。本実施形態の構成では、出力端子OUTに接続される負荷のインピーダンスに応じて、可変容量型定電流源から供給される定電流の値を調整する。従って、上述したのと反対に、負荷のインピーダンスが大きい場合は、可変容量型定電流源から小さい値の定電流が供給され低消費電流を実現することが可能となる。一方、負荷のインピーダンスが小さい場合は可変容量型定電流源から供給される電流値は大きくなるので、このような負荷でも駆動することができる。但し、この場合の消費電流はかなり大きくなるが、負荷に流れる電流は全て演算増幅器の正電源端子V_{DD}から可変容量型定電流源を経由し出力端子OUTより負荷に供給されるので止むを得ない。

【0029】以下、各MOSトランジスタの動作を含め、本実施形態の演算増幅器の動作及び作用について、負荷の状態ごとに分けて詳細に説明する。

【0030】まず、出力端子OUTに負荷が接続されていない場合について説明する。

【0031】負荷が接続されていない場合は、P型MOSトランジスタM8より供給された電流は全てN型MOSトランジスタM10に流れ込む。従って、この場合、N型MOSトランジスタM10のドレイン/ソース間に流れる電流が多くなる。

【0032】以下の(1)式で示されるMOSトランジスタの電流計算式より、ドレイン/ソース間電流I_{ds}が多い場合は、ゲート/ソース間電圧V_{gs}も多くなる。

【0033】

【数1】

$$I_{ds} = \frac{1}{2} K \frac{W}{L} (V_{gs} - V_t)^2 \quad (1)$$

【0034】ここで、I_{ds}はドレイン/ソース間電流、Kは増電係数、Wはゲート幅、Lはゲート長、V_{gs}はゲート/ソース間電圧、V_tは閾値電圧である。

【0035】従って、N型MOSトランジスタM10のゲート電圧は比較的高くなる。上述したカレントミラー接続によりN型MOSトランジスタM4のゲート端子はN型MOSトランジスタM10のゲート端子と直結されているので、N型MOSトランジスタM4に高いゲート電圧が加わることでN型MOSトランジスタM4も多くの電流が流れる状態となる。この時、N型MOSトランジスタM3とM4は対になって接続されているため、定電流源I1から供給される500μAの電流はN型MOSトランジスタM3よりも、高いゲート電圧が印加されているN型MOSトランジスタM4により多く流れることになる。N型MOSトランジスタM3に流れる

電流は少ない結果、そのゲート端子の電位も低くなる。このN型MOSトランジスタM3のゲート端子は、上述したカレントミラー接続によりN型MOSトランジスタM9のゲート端子に接続されているので、M9のゲート端子の電位も低くなる結果、M9に流れる電流も少なくなる。このM9に流れる電流が少なくなれば、P型MOSトランジスタM7に流れる電流も少ないことになり、P型MOSトランジスタM7に流れる電流も少ない結果、そのゲート端子の電位も低くなる。このP型MOSトランジスタM7のゲート端子は、上述したカレントミラー接続によりP型MOSトランジスタM8のゲート端子に接続されているので、M8のゲート端子の電位も低くなる結果、M8に流れる電流も少なくなる。よって、この時点での定電流の値は低く抑えられ消費電流も低くなる。

【0036】次に、出力端子OUTに接続されている負荷のインピーダンスが大きい場合について説明する。

【0037】この場合、P型MOSトランジスタM8より供給された電流は、N型MOSトランジスタM10と負荷の両方に流れ込む。即ち、出力端子OUTから見たM10と負荷の合成インピーダンスに対して流れ込むことになる。P型MOSトランジスタM8から供給された電流は負荷にも流れるため、M10に流れる電流は前述した無負荷時よりも少なくなる。従って、N型MOSトランジスタM10のソース/ドレイン間に流れる電流が減少することになるので、上記(1)式によりM10のゲート/ソース間電圧も減少する。これにより、N型MOSトランジスタM10とカレントミラー接続されているN型MOSトランジスタM4のゲート電圧は減少し、M4のソース/ドレイン間に流れる電流も減少する。しかし、N型MOSトランジスタM3とM4は対になって接続され、両者に定電流源I1から一定の電流が供給されているので、M4に流れなくなった分の電流はM3へと流れ込む。M3のソース/ドレイン間に多くの電流が流れるから、上記(1)式より、M3のゲート電圧が上昇する。これにより、N型MOSトランジスタM3とカレントミラー接続されているN型MOSトランジスタM9のゲート電圧は、前述した無負荷時よりも高くなる。この結果、M9のソース/ドレイン間に流れる電流も無負荷時よりも多くなる。このM9に流れる電流が多くなれば、P型MOSトランジスタM7に流れる電流も多くなることになり、P型MOSトランジスタM7に流れる電流も多い結果、そのゲート端子の電位も高くなる。このP型MOSトランジスタM7のゲート端子は、上述したカレントミラー接続によりP型MOSトランジスタM8のゲート端子に接続されているので、M8のゲート端子の電位も高くなる結果、M8に流れる電流も多くなる。このM8に流れる電流は、上記(1)式の面積比に応じた値によりM10と負荷に供給される。よって、インピーダンスの大きい負荷が接続された場合には、それ

に応じた電流を供給し、負荷を駆動することができる。

【0038】次に、出力端子OUTに接続されている負荷のインピーダンスが小さい場合について説明する。

【0039】この場合も、P型MOSトランジスタM8より供給された電流は、N型MOSトランジスタM10と負荷の両方に流れ込む。即ち、出力端子OUTから見たM10と負荷の合成インピーダンスに対して流れ込むことになるのは、前述した負荷のインピーダンスが大きい場合と同様である。

【0040】M8から供給された電流は負荷にも流れるため、M10に流れる電流は無負荷時や負荷のインピーダンスが大きい場合よりも更に少なくなる。M10のソース/ドレイン間に流れる電流が減少すると、上記

(1)式により、そのゲート/ソース間の電圧も減少する。これにより、M10とカレントミラー接続されているM4のゲート電圧は負荷のインピーダンスが大きい場合よりも更に減少し、M4のソース/ドレイン間に流れる電流も減少する。しかし、M3とM4は対になって接続され定電流源I1から一定の電流が供給されているので、M4に流れなくなった分の電流はますますM3へと流れ込む。M3のソース/ドレイン間に多く流れた電流は、(1)式によりM3のゲート電圧を押し上げる。M3のゲート端子とM9のゲート端子はカレントミラー接続されているので、無負荷時や負荷のインピーダンスが大きい場合よりもM9のゲート電圧は高くなる結果、M9のソース/ドレイン間に流れる電流も更に多くなる。このように、M9に流れる電流が更に多くなれば、P型MOSトランジスタM7に流れる電流も更に多くなることになり、P型MOSトランジスタM7に流れる電流も多い結果、そのゲート端子の電位も高くなる。このP型MOSトランジスタM7のゲート端子は、上述したカレントミラー接続によりP型MOSトランジスタM8のゲート端子に接続されているので、M8のゲート端子の電位も高くなる結果、M8に流れる電流も多くなる。このM8に流れる電流は、上記(1)式の面積比に応じた値によりM10と負荷に供給される。よって、インピーダンスの小さい負荷が接続された場合には、それに応じた電流を供給し、負荷を駆動することができる。

【0041】以上の回路構成及び動作を有する本実施形態の演算増幅器において、負荷のインピーダンスを変化させた場合、M9のゲート端子の電位変化及びM10のゲート端子の電位変化を図3に示す。

【0042】図3における出力電流は、本実施形態の演算増幅器から負荷に流れ込む電流である。負荷に対して電流が多く流れる程、N型MOSトランジスタM10のゲート端子電圧は低下している。これに対し、出力電流が増す程、N型MOSトランジスタM9のゲート端子電圧は上昇する。これによりM9に流れる電流は増加し、M7ひいてはM7とカレントミラー回路を構成しているM8に流れる電流は増加し、負荷に対して多くの電流を流

すことができる。

【0043】以上の回路動作の結果として、本実施形態の演算増幅器では、負荷のインピーダンスを検知し、それに対して可変容量型定電流源の容量を調整し、負荷に対して適当な電流を供給し、且つ消費電流を最低限に抑えることが可能となる。

【0044】

【実施例】以下、本発明の演算増幅器を実際の回路に構成した実施例について述べる。

【0045】図4は、本実施例の演算増幅器の回路構成を各素子の定数等と共に示したものである。

【0046】図4において、それぞれのトランジスタに流れる電流が最適となるように、(1)式により計算し、定電流源I1、I2の値を調整、各トランジスタのゲート長(L)とゲート幅(W)を調整、且つ発熱防止のためのコンデンサを挿入した。定電流源I1、I2の値、トランジスタ、コンデンサの各定数をどのようにして設定したかを以下に述べる。

【0047】まず、演算増幅器の入力段である差動回路から説明する。

【0048】一般に、演算増幅器の周波数特性は差動入力回路に流す電流によって略決定される。しかし、ここでは消費電流を1 μ A以下にすることを目的としているので、周波数特性は特に考慮せず、差動入力回路に流す電流を50nA程度とした。図4に示す回路図上では、I2の値を45nAに設定している。差動入力回路のトランジスタのLとWについては、上記した(1)式に、 $K=16$ 、 $3\mu\text{m} \cdot \text{PMOSFET}$ の増倍係数 $V_{gs}=2$ 、 $2V \cdot \text{ゲート/ソース間電圧が最大になった場合の電圧} V_{dd}$ $I_{ds}=45\text{nA}$ 、差動入力回路の片側のトランジスタに流れる最大電流I2を代入すると以下の(2)式となる。

【0049】

【数2】

$$\frac{1}{2} \times \frac{W}{L} \times K \times (V_{gs} - V_t)^2 = 45\text{nA} \quad (2)$$

【0050】この(2)式を解いていくと、以下の(3)式となる。

【0051】

【数3】

$$I_2 = 32\mu\text{m} \times \frac{W}{L} = 45\text{nA} \quad (3)$$

【0052】ここで、 W/L 且つ $L=10\mu\text{m}$ のため、 W/L は最低でも $10\mu\text{m}/10\mu\text{m}=1$ となる。(2)式より W/L が1の場合でも、このトランジスタは13、3 μA の電流を流すことができる。この場合は、差動増幅回路にかかる過電圧分の余裕度を考慮し、 $L=10\mu\text{m}$ 、 $W=50\mu\text{m}$ に設定した。差動増幅回路から電流を受け取る能動負荷(M5、M6)は定電流源

I2の45nA以上の電流が流れることは無いので、 $L=10\mu\text{m}$ 、 $W=10\mu\text{m}$ に設定した。

【0053】次に、演算増幅器の出力値を決定するための可変容量型定電流源について説明する。この回路において可変容量を可能にしているのは、図4中のN型MOSトランジスタM3とM4を対にして使用している部分であり、この動作については前述した通りである。定電流源I1の値を決める場合は、以下の二つを考慮する。一つは、このI1の値はM9のゲート端子の電位に影響を与えるので、出力電流を多く取りたい場合は、このI1の電流値をなるべく多くすることであり、もう一つは、I1から流れる電流はM3とM4を通過し全てグラウンドへと流れるため、あまりこの電流値を上げると消費電流が大きくなってしまふことである。

【0054】この二つの事項は相反する要素なので、バランスを見極めることが重要となる。

【0055】図5は、定電流源I1の値の変化による出力電圧の変化を示す図である。

【0056】図5より、定電流源I1の値を500nAにすると、負荷に対し約50 μA の電流を流すことができる。

【0057】図6は、定電流源I1の値の変化による回路全体の消費電流の変化を示す図である。

【0058】図6より、回路全体の消費電流を1 μA 以下にするには、I1の電流値を550nA以下にする必要があることが分かる。よって、本実施形態の演算増幅器では、図4に示すように、定電流源I1の電流値を500nAに設定した。

【0059】一方、N型MOSトランジスタM9とP型MOSトランジスタM7から構成されるカレントミラー回路のラインはVddからグラウンドへと電流が流れるため、可能な限りこの容量を抑えるのが望ましい。よって、これら2つのN型MOSトランジスタM9とP型MOSトランジスタM7それぞれにおけるLとWは、なるべくその比 W/L が1となるように構成した。

【0060】最後に、演算増幅器の出力値を決定する出力回路について説明する。

【0061】N型MOSトランジスタM9、P型MOSトランジスタM7からの電流を受けたP型MOSトランジスタM8は、その電流値をできるだけ大きくして出力ドライバを構成するN型MOSトランジスタM10や負荷に供給する必要がある。P型MOSトランジスタM7に流れる電流は約5nA程度であるが、演算増幅器の出力段の定電流源としては、最低でも200nA程度は欲しい。かかる観点から、カレントミラー回路により電流を40倍にするには、M8のLを10 μm 、Wを400 μm にすれば良い。しかしながら、Wを400 μm とすると演算増幅器の最終段のトランジスタが大きくなりすぎ、シリコン面積ひいては製造コストを増加させることになる。このため、本実施形態では、 $L=5\mu\text{m}$ 、 $W=$

200 μm に設定した。N型MOSトランジスタM10のLとWについては、LとWの比、 W/L が1の時に流れる電流は、上記した(1)式に値を代入すると、以下の(4)式のようになる。

【0062】

【数4】

$$\frac{1}{2} \times [41.3 \mu\text{A} (2.2)^2 - 100 \mu\text{A}] - (4)$$

【0063】よって、N型MOSトランジスタM10のLとWの比は、1:1であれば良い。

【0064】また、発振防止用(位相補償用)のコンデンサについては、図7に示す周波数に対する位相の余裕特性を考慮して、差動回路の段(入力段)と出力回路の段(出力段)の2箇所、それぞれコンデンサC2(=10pF)、コンデンサC1(=10pF)を、図4に示すように、付加した。即ち、本実施例において、コンデンサC2及びC1は、位相補償回路104を構成している。

【0065】図7は、図4に示した演算増幅器の回路における周波数に対する位相の余裕特性を示す図である。この周波数特性に対する位相の余裕特性では、同図に示すように、ゲインが0となる周波数である約5kHzにおいて、位相余裕が約79°あり、通常要求される仕様である65°以上をクリアしているため、かかる特性の点においても、演算増幅器として充分使用可能である。

【0066】図8は、図4に示した演算増幅器の回路におけるドライブ能力特性を示す図である。このドライブ能力特性においては、負荷が無い場合の消費電流は約0.75 μA と1 μA 未満に抑えられており、且つ負荷に電流を流した場合の消費電流も、(無負荷時の消費電流) + (負荷を駆動するための電流)に収まっている。

【0067】以上のように、図4に示した実施例の演算増幅器によれば、極めて簡単な構成を有し、既存の製造プロセスを使用して容易に製造し得るものにも拘らず、前述した従来技術の問題点を有効に解決できることが判明した。

【0068】次に、本発明の演算増幅器を適用してセンサー用増幅回路を構成した第2の実施形態について説明する。

【0069】図9に、本発明の回路構成の演算増幅器を使用したセンサー用増幅回路の一例を示す。

【0070】図9において、上述した第1の実施形態と同様の演算増幅器9に、直達電圧V1、V3、信号源V2と、抵抗R1~R5、コンデンサC1及びC2を同図のように接続した。また、各定数を図中に示す値に設定した。

【0071】本実施形態のセンサー用増幅回路では、センサー素子から出力された信号は演算増幅器9へと入力され20倍に増幅される。

【0072】その出力波形を図10に示す。図10から

分かるように、センサーからの信号【出力電圧（V）】は20倍に増幅されているが、その時の消費電流は1 μ A以下と低く抑えられている。また、出力電圧（V）が低くなった場合は消費電流も低くなっており、所望する特性を満たしている。

【0073】

【発明の効果】以上説明したように、本発明による演算増幅器の回路構成を使用すれば、既存のCMOS製造プロセスを使用しつつ、1 μ A以下の超低消費電流を実現できる演算増幅器を構築することができる。

【0074】また、このような演算増幅器を使用して、例えば、センサー用の増幅回路を構成すれば、1個のバッテリーで数年〜10年程度持たせることが可能となり、その工業的価値は極めて大きい。

【図面の簡単な説明】

【図1】本発明の演算増幅器の構成を簡略化して示す図である。

【図2】本発明の第1の実施形態としてのCMOS型演算増幅器の主要部の構成を示す回路図である。

【図3】図2に示したCMOS型演算増幅器におけるMOSトランジスタM9、M10それぞれのゲート電圧特性を示す図である。

【図4】本発明の実施例に係るCMOS型演算増幅器の実例の回路構成を示す図である。

【図5】定電流源I1の値の変化による出力電圧特性を示す図である。

【図6】定電流源I1の値の変化による演算増幅器全体の消費電流の変化を示す図である。

【図7】図4に示した演算増幅器の回路における周波数に対する位相の余裕特性を示す図である。

【図8】図4に示した演算増幅器の回路におけるドライ

ブ能力特性を示す図である。

【図9】本発明の第2の実施形態として、本発明の演算増幅器を用いて構成したセンサー用増幅回路を示す図である。

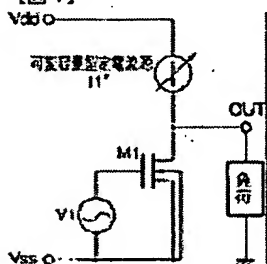
【図10】図9に示したセンサー用増幅回路の出力波形を示す図である。

【図11】従来の演算増幅器の構成を簡略化して示す図である。

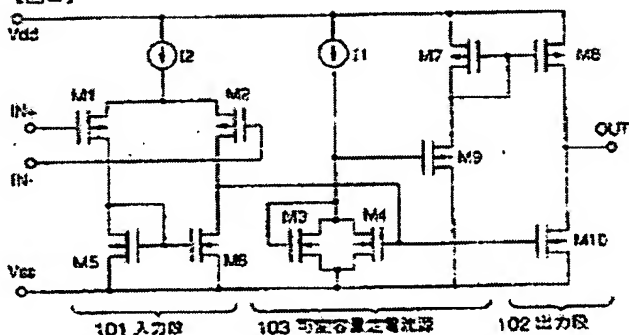
【符号の説明】

101	差動回路（入力段）
102	出力回路（出力段）
103	定電流調整回路（可変容量定電流源）
104	位相補償回路
Vdd	正極電源端子
Vss	負極電源端子
I1	定電流源
I2	定電流源
M1	P型MOSトランジスタ
M2	P型MOSトランジスタ
M7	P型MOSトランジスタ
M8	P型MOSトランジスタ
M3	N型MOSトランジスタ
M4	N型MOSトランジスタ
M5	N型MOSトランジスタ
M6	N型MOSトランジスタ
M9	N型MOSトランジスタ
M10	N型MOSトランジスタ
IN+	非反転入力端子
IN-	反転入力端子
OUT	出力端子

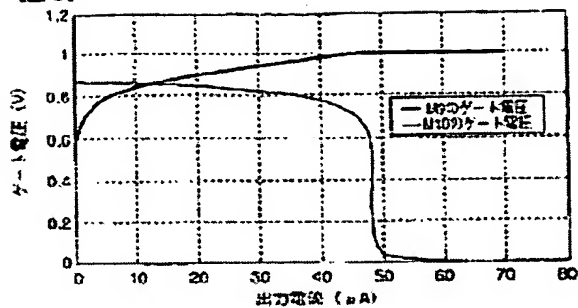
【図1】



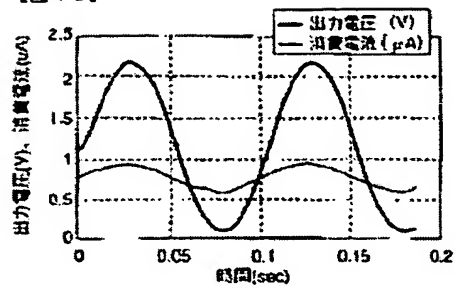
【図2】



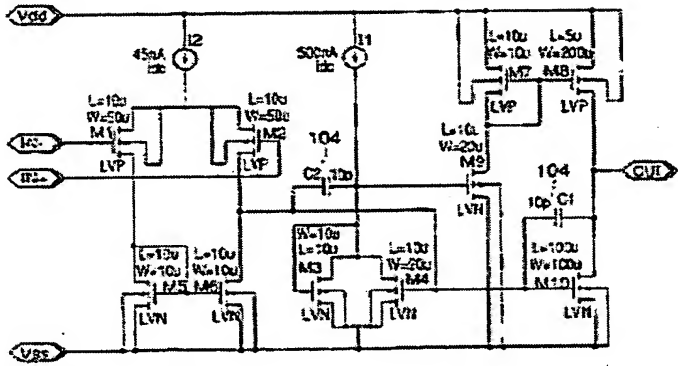
【図 3】



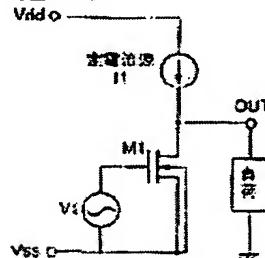
【図 10】



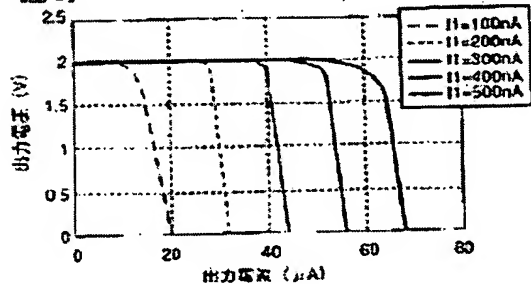
【図 4】



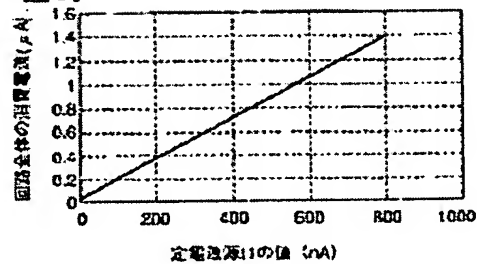
【図 11】



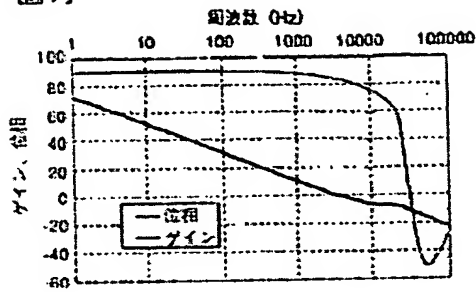
【図 5】



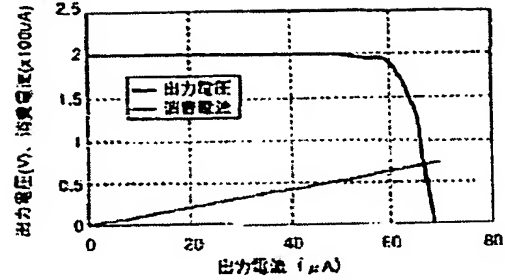
【図 6】



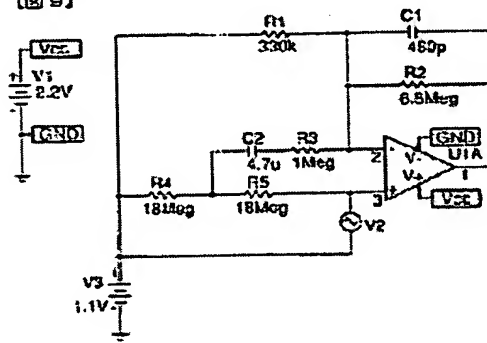
【図7】



【図8】



【図9】



フロントページの続き

Fターム (参考) 5J066 AA01 AA47 CA00 CA92 FA04
 FA20 HA10 HA17 HA29 KA00
 KA07 KA08 KA09 KA10 ND01
 ND14 ND22 ND23 PD01 SA13
 SA15 TA02
 5J091 AA01 AA47 CA00 CA92 FA04
 FA20 HA10 HA17 HA29 KA00
 KA07 KA08 KA09 KA10 SA13
 SA15 TA02
 5J092 AA01 AA47 CA00 CA92 FA04
 FA20 GR09 HA10 HA17 HA29
 KA00 KA07 KA08 KA09 KA10
 SA13 SA15 TA02